

⑫ 公開特許公報 (A) 平4-122063

⑬ Int. Cl. 5

H 01 L 27/092
27/04

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月22日

U

7514-4M

7735-4M

H 01 L 27/08

3 2 1 D

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平2-242269

⑯ 出 願 平2(1990)9月12日

⑰ 発明者 田 口 実

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩
川工場内

⑯ 出願人 株式会社 東 芝

神奈川県川崎市幸区堀川町72番地

⑯ 代理人 弁理士 大胡 典夫

明細書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 同一半導体基板上に絶縁ゲート・トランジスタによるアナログ素子部及びデジタル素子部を形成して成るものにおいて、前記アナログ素子部のゲート絶縁膜を少なくともシリコン窒化膜と第1のシリコン酸化膜とで構成し、前記デジタル素子部のゲート絶縁膜を第2のシリコン酸化膜で構成して成り、かつ前記アナログ素子部のゲート絶縁膜の膜厚が前記デジタル素子部のゲート絶縁膜の膜厚より厚いことを特徴とする半導体装置。

(2) 第1のシリコン酸化膜の膜厚より第2のシリコン酸化膜の膜厚が薄いことを特徴とする請求項1記載の半導体装置。

(3) 第1のシリコン酸化膜の膜厚が 500Å以上であることを特徴とする請求項1または2記載の半導体装置。

(4) 半導体基板上の絶縁ゲート・トランジス

タによるアナログ素子部及びデジタル素子部を形成する部分に第1のシリコン酸化膜を形成し、この第1のシリコン酸化膜上に連続してシリコン窒化膜を形成する工程と、

この工程に統いて前記デジタル素子部を形成する部分の前記シリコン窒化膜を除去し、残ったシリコン窒化膜をマスクとして前記デジタル素子部を形成する部分の第1のシリコン酸化膜を除去する工程と、

前記各膜を除去した前記デジタル素子部を形成する部分に第2のシリコン酸化膜を形成する工程とを備えてなることを特徴とする半導体装置の製造方法。

(5) 半導体基板上の絶縁ゲート・トランジスタによるアナログ素子部及びデジタル素子部を形成する部分に第1のシリコン酸化膜を形成し、この第1のシリコン酸化膜上に連続してシリコン窒化膜を形成する工程と、

この工程に統いて前記デジタル素子部を形成する部分の前記シリコン窒化膜を除去し、残ったシリ

リコン窒化膜をマスクとして前記デジタル素子部を形成する部分の第1のシリコン酸化膜を除去する工程と、

前記各膜を除去した前記デジタル素子部を形成する部分に第2のシリコン酸化膜を形成する工程と、

前記シリコン窒化膜及び第2のシリコン酸化膜上にゲート電極の形成膜を形成する工程と、

積層した前記ゲート電極の形成膜、シリコン窒化膜、第1のシリコン酸化膜、第2のシリコン酸化膜を同一マスクでエッティングして、前記アナログ素子部及びデジタル素子部のゲート電極及びゲート絶縁膜を形成する工程とを備えてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

（産業上の利用分野）

本発明は同一半導体基板上に、絶縁ゲート・トランジスタでそれぞれ形成したアナログ素子部及びデジタル素子部を備えて構成した半導体装置

及びその製造方法に関する。

（従来の技術）

周知の通り、絶縁ゲート半導体技術（以下MOS技術と略記する）、特に相補型絶縁ゲート半導体（以下CMOSと略記する）技術あるいはNチャネル型絶縁ゲート・トランジスタ（NMOSトランジスタ）技術は、現在のシリコンデバイスの主流の技術であり、微細化の進展にともない高集積化や高速化が進み各種機器に多く採用されている。そしてこれらの進展は主にデジタル回路、デジタルIC等のデジタル動作を行うものにおけるものである。そして微細化に伴ないそれらの回路で使用される電源電圧の低電圧化も進んでいる。

またCMOSの特徴である低消費電力という点を生かし、アナログ回路、アナログIC等のアナログ動作を行う部分をMOS技術で形成して製品化することが進められるようになってきている。

そこで以下に例えば同一チップ上にCMOSでアナログ素子部及びデジタル素子部を形成した半導体装置の一つについて、図面を参照して説明す

る。

第4図は断面図で、図中の右側にアナログ素子部1のNチャネル型MOSトランジスタ2とPチャネル型MOSトランジスタ3が、また左側にデジタル素子部4のNチャネル型MOSトランジスタ5とPチャネル型MOSトランジスタ6が形成されている。

7はP形シリコン基板、8はシリコン基板7内に設けられたNウェル拡散層、9はシリコン基板7上に各離間して設けられたフィールド酸化膜、10はフィールド酸化膜9に沿って形成されたP-反転防止層、11は各フィールド酸化膜9間のシリコン基板7の上部に形成されたN⁺拡散層、12は各フィールド酸化膜9間のNウェル拡散層8の上部に形成されたP⁺拡散層、13は各拡散層11、12とシリコン基板7の上及びフィールド酸化膜9上に形成されたほう素-りんけい酸ガラス膜（以下BPSG膜と略記する）、14はシリコン基板1上のBPSG膜13内に設けられゲートを形成するN⁺ポリシリコン膜、15はA1配線である。

このようにCMOS技術でアナログ素子部1及びデジタル素子部4を同一チップ上に形成する場合には、チップの周辺部分にアナログ素子部1を設け、コア部分により稠密なデジタル素子部4を設けることになる。

デジタル素子部4は高速化、高集積化を目指し、ゲート酸化膜を含めた微細化が急激に進んでいて、数千～1万数千ゲートの大規模デジタル回路が形成される。

そして通常デジタル素子部4が微細化した構造を取っているため、アナログ素子部1をデジタル素子部4に先駆けて形成する。またCMOS技術でアナログ回路あるいはアナログIC等のアナログ素子部1を構成しようとすると、例えばインバータ動作を考えたとき、動作させることの出来る特性曲線上の直線（アナログ）領域が少なく、そのため電源として低電圧電源（5V）を採用すると動作マージンを大きくとることができなくなってしまう。したがってゲート酸化膜厚を厚くし、表面濃度を下げて9～10Vの高電圧電源を採用す

ことになる。

さらにまたアナログ素子部1を形成した後にデジタル素子部4を形成するため、デジタル素子部4の形成時の酸化膜エッティングや熱処理等の加工工程での種々の処理により、電気的に弱い部分Aが発生する。そのためリーク電流が増えるとかゲート耐圧が低下するなどして、歩留や信頼性の両面で余裕が少なくなる問題が生じる。

(発明が解決しようとする課題)

上記のような状況に鑑みて本発明はなされたもので、その目的とするところは同一の半導体基板上に、絶縁ゲート・トランジスタでそれぞれ形成したアナログ素子部及びデジタル素子部を備えて構成しながら、アナログ素子部の歩留や信頼性を維持し、デジタル素子部の性能や歩留あるいは信頼性を確保した半導体装置及びその製造方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

本発明の半導体装置及びその製造方法は、同

一 半導体基板上に絶縁ゲート・トランジスタによるアナログ素子部及びデジタル素子部を形成して成るものにおいて、アナログ素子部のゲート絶縁膜を少なくともシリコン空化膜と第1のシリコン酸化膜とで構成し、デジタル素子部のゲート絶縁膜を第2のシリコン酸化膜で構成して成り、かつアナログ素子部のゲート絶縁膜の膜厚がデジタル素子部のゲート絶縁膜の膜厚より厚いことを特徴とするものであり、

また第1のシリコン酸化膜の膜厚より第2のシリコン酸化膜の膜厚が薄いことを特徴とし、

さらにまた第1のシリコン酸化膜の膜厚が500Å以上であることを特徴とし、

そして半導体基板上の絶縁ゲート・トランジスタによるアナログ素子部及びデジタル素子部を形成する部分に第1のシリコン酸化膜を形成し、この第1のシリコン酸化膜上に連続してシリコン空化膜を形成する工程と、この工程に統いてデジタル素子部を形成する部分のシリコン空化膜を除去し、残ったシリコン空化膜をマスクとしてデジタ

ル素子部のゲート電極及びゲート絶縁膜を形成する工程とを備えてなることを特徴とする方法である。

(作用)

上記のように構成された半導体装置及びその製造方法は、アナログ素子部とデジタル素子部のゲート絶縁膜及びゲート電極を同一工程の中で形成するため、製造工程が簡単かつ容易に行えるものとなり、デジタル素子部の後加工がなくなってアナログ素子部のゲート部に電気的に弱い部分ができず、膜厚もデジタル素子部のゲート絶縁膜より厚いものとすることができます。そして高電圧の電源の採用を容易にし、動作マージンを大きく取ることができる。その結果、アナログ素子部の歩留や信頼性を維持し、デジタル素子部の性能や歩留あるいは信頼性を確保することができる。

(実施例)

以下、本発明の実施例を第1図および第3図を参照して説明する。尚、従来と同一部分には同一符号を付して説明を省略し、従来と異なる構成

について説明する。

第1図 (a) ないし (d) は、本発明の第1の実施例の半導体装置の製造方法を示す工程図である。

すなわち第1図 (d) は、第4図の従来例に対する本発明の第1の実施例の半導体装置で、アナログ素子部1のゲート絶縁膜は膜厚 700Åの第1のシリコン酸化膜16と、同じく膜厚 700Åのシリコン窒化膜17とで構成されている。またデジタル素子部4のゲート絶縁膜は膜厚 450Åの第2のシリコン酸化膜18で構成されている。

そしてこのように構成された半導体装置の製造は、以下のように行われる。尚、製造工程中で詳述しない部分については公知の手段を用いる。

まず第1図 (a) において、抵抗率が約20ΩcmのP形シリコン基板7の上面を酸化し、形成された酸化膜のPチャネル型MOSトランジスタ3, 6の形成予定部分に開口部を形成する。そしてこの開口部に、1200°Cで焼を熱拡散してNウェル拡散層8を形成し、シリコン基板7及びNウェル拡散

層8の上面の酸化膜を除去する。

つづいて一般的な素子分離法の一つである例えはシリコン窒化膜を酸化マスクに使用する選択酸化方法により、フィールド酸化膜9と、このフィールド酸化膜9の直下でNウェル拡散層8の領域以外の部分にP⁺反転防止層10を形成する。その後、フィールド酸化膜9等が形成されたシリコン基板7の上面に、950°CのHCl/O₂の雰囲気にて膜厚 700Åの第1のシリコン酸化膜16を形成し、さらにその上に連続して膜厚 700Åのシリコン窒化膜17を形成する。

そしてデジタル素子部4を形成する部分のシリコン窒化膜17のみを選択的に除去する。

次に同図 (b) において、シリコン窒化膜17をマスクにしてデジタル素子部4を形成する部分の第1のシリコン酸化膜16を除去する。

つづいて第1のシリコン酸化膜16を除去したデジタル素子部4を形成する部分に、950°CのHCl/O₂の雰囲気にて膜厚 450Åの第2のシリコン酸化膜18を形成し、アナログ素子部1及びデジタ

ル素子部4にしきい値電圧 (V_{th}) の制御用として各タレジストブロックにてポロンインプラを行う。

そして上記各形成したシリコン基板7の上面にアンドープ多結晶シリコン膜を膜厚4000Å堆積させた後、950°Cにて焼拡散してN⁺ポリシリコン膜14を形成する。

また同図 (c) において、フォトレジストをマスクにしてゲート部分のN⁺ポリシリコン膜14のパターン形成を行い、さらに反応性イオンエッティング法（以下RIE法と略記する）によりシリコン窒化膜17と第1のシリコン酸化膜16及び第2のシリコン酸化膜18をエッティングする。これによってアナログ素子部1とデジタル素子部4のゲート電極及びゲート絶縁膜を同時に形成する。

そして同図 (d) において、露出したシリコン基板7上面のNチャネル型MOSトランジスタ2, 5のソース・ドレイン領域にレジストをマスクにしてひ素インプラを行い、その後 900°CのO₂の雰囲気で後酸化を行う。またPチャネル型MOS

トランジスタ3, 6のソース・ドレイン領域にレジストをマスクにしてポロンインプラを行う。次に化学気相成長法（CVD法）によってBPSG膜13を上記各形成したシリコン基板7の上面に連続的に堆積し、950°Cにて焼ゲッター処理を実施する。これによりひ素及びポロンインプラを行って形成された高濃度インプラ層は活性化し、N⁺拡散層11及びP⁺拡散層12になる。

つづいてレジストをマスクにしてRIE法によりBPSG膜13をエッティングし、N⁺拡散層11及びP⁺拡散層12等の上面にコンタクトホールを開口する。

その後、コンタクトホールやBPSG膜13の上等に金属化合物による電極及び配線を形成するためにAl-Si (1.2%) のスパッター及びバーニングを実施し、さらに 450°CのN₂/H₂のホーミングガス雰囲気中で約15分間にわたりAlシルバー処理を行って活性化させ、Al配線15を形成する。

以上の工程を経て本発明の第1の実施例が構成

される。そして本実施例ではアナログ素子部1及びデジタル素子部4を同時に形成していくことができるため製造が容易となる。さらに従来はデジタル素子部4の形成時、即ち酸化膜エッチングや熱処理等の種々の処理時にアナログ素子部1に生じた電気的に弱い部分の発生が無くなり、その結果、リーク電流が増えるとかゲート耐圧が低下することなどがなくなり、歩留や信頼性の両面で余裕を大きくとることができる。

またアナログ素子部1のゲート絶縁膜を第1のシリコン酸化膜16とシリコン空化膜17とで膜厚を厚く構成し、9~10Vの高電圧電源の採用を容易にし、動作マージンを大きく取ることができる。

またさらにデジタル素子部4の形成に当たってもアナログ素子部1への影響を特に考慮する必要がなくなり、高集積化及び高速化を歩留や信頼性を低下させることなく行うことができる。

なお、アナログ素子部1の第1のシリコン酸化膜16の膜厚を700Åとしたが、500Åとしても上記と同様の効果が得られた。しかし、膜厚が500

コン酸化膜18を形成する時にデジタル素子部4のみに形成させるための手段を取らなくて良いほか、アナログ素子部1のゲート絶縁膜の膜厚を第3のシリコン酸化膜19を加えてより厚いものとすることができる。

さらに本発明の第3の実施例について説明する。

第3図は本実施例の半導体装置を示す断面図である。本実施例は、第1の実施例に対しアナログ素子部1のNチャネル型MOSトランジスタ2及びPチャネル型MOSトランジスタ3のソース・ドレインに、各々のN⁺拡散層11及びP⁺拡散層12に隣接してN⁻拡散層20及びP⁻拡散層21を設けている点が異なる。

本実施例においても、第1の実施例と同じ効果が得られると共に、シリコン基板7からゲートへのホットキャリアーの注入を緩和することができて、より信頼性の高いものにすることができる、アナログ素子部1の電源電圧を高くすることができる。

尚、上記の各実施例においてはゲート電極の形

A未満では、例えば増幅回路を構成しアナログ動作を行った場合には十分な性能が得られなかった。

次に本発明の第2の実施例について説明する。

第2図は本実施例の半導体装置を示す断面図である。本実施例は、第1の実施例に対しアナログ素子部1のゲート絶縁膜の構成が異なっており、そのゲート絶縁膜は第1のシリコン酸化膜16とシリコン空化膜17、そして膜厚の薄い第3のシリコン酸化膜19とで構成されている。

そしてその製造は、上記した第1の実施例の製造工程を示す第1図(b)において、シリコン空化膜17をマスクにしてデジタル素子部4を形成する部分の第1のシリコン酸化膜16を除去する。ついで、第1のシリコン酸化膜16を除去した部分に膜厚450Åの第2のシリコン酸化膜18を形成すると同時にシリコン空化膜17上に膜厚の薄い第3のシリコン酸化膜19を形成する。その後は第1の実施例と同様の工程を経て本実施例を形成する。

本実施例においては、第1の実施例と同じ効果が得られると共に、製造工程において第2のシリ

成にN⁺ポリシリコン膜14を用いているが、高融点金属けい化物や高融点金属けい化物とN⁺ポリシリコン膜とを組合せたもの等でもよく、その他本発明は上記した構成に限定されるものではなく要旨を逸脱しない範囲内で適宜変更して実施し得るものである。

【発明の効果】

以上の説明から明らかなように、本発明は、まずアナログ素子部のゲート絶縁膜を形成する第1のシリコン酸化膜及びシリコン空化膜をデジタル素子部を含む半導体基板上に形成し、続いてデジタル素子部についてはシリコン空化膜を除去し、さらに残ったシリコン空化膜をマスクとしてデジタル素子部の第1のシリコン酸化膜を除去し、その後デジタル素子部についてゲート絶縁膜を形成する第2のシリコン酸化膜を形成する方法を取り、そしてアナログ素子部のゲート絶縁膜を少なくともシリコン空化膜と第1のシリコン酸化膜とで構成し、デジタル素子部のゲート絶縁膜を第2のシリコン酸化膜で構成し、なおかつアナログ素子部

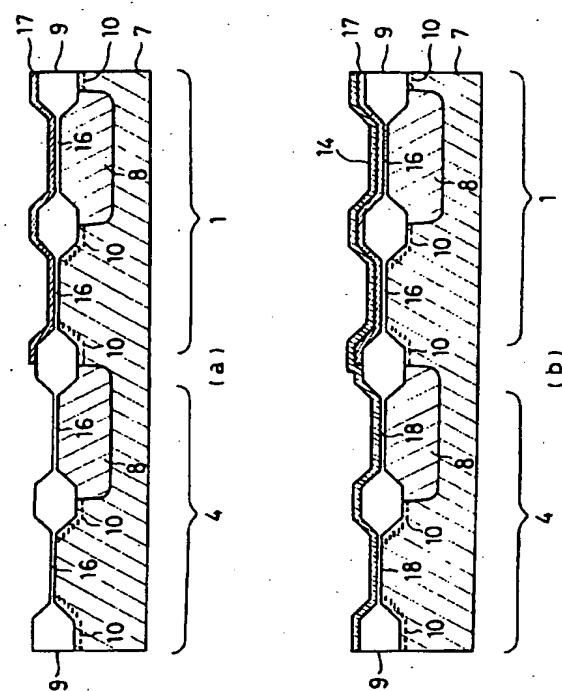
のゲート絶縁膜の膜厚がデジタル素子部のゲート絶縁膜の膜厚より厚いものとする構成としたことにより、同一の半導体基板上に、絶縁ゲート・トランジスタでそれぞれ形成したアナログ素子部及びデジタル素子部を備えて構成しながら、アナログ素子部の歩留や信頼性を維持し、デジタル素子部の性能や歩留あるいは信頼性を確保することができるという効果が得られる。

4. 図面の簡単な説明

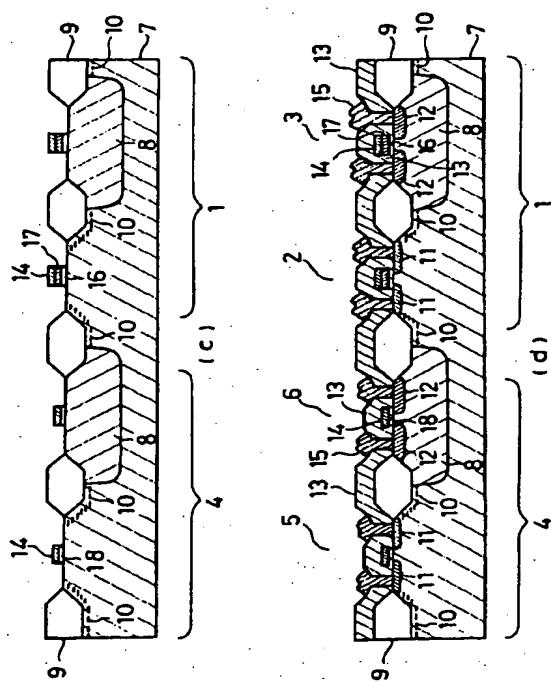
第1図は本発明の第1の実施例に係わる半導体装置の製造方法を示す工程図、第2図は本発明の第2の実施例に係わる半導体装置を示す断面図、第3図は本発明の第3の実施例に係わる半導体装置を示す断面図、第4図は従来の半導体装置を示す断面図である。

1 … アナログ素子部、 4 … デジタル素子部、
 7 … シリコン基板、 16 … 第 1 のシリコン酸化膜、
 17 … シリコン窒化膜、
 18 … 第 2 のシリコン酸化膜。

代理人弁理士大胡典夫



國
一
城



因
一
按

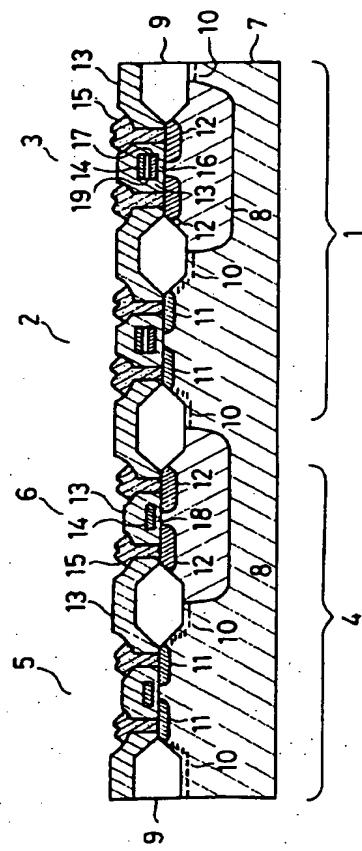
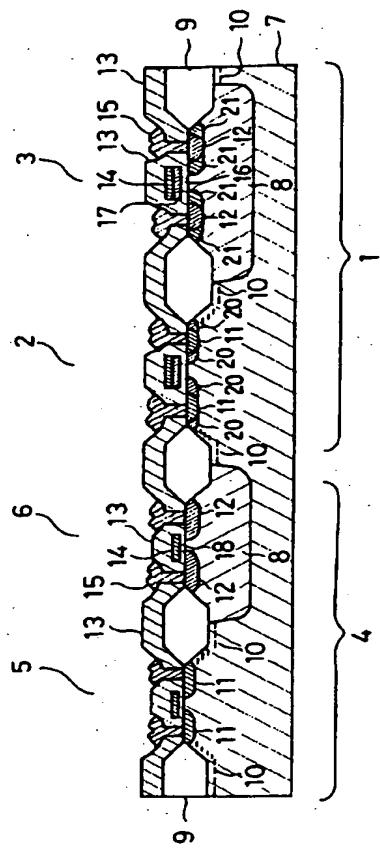
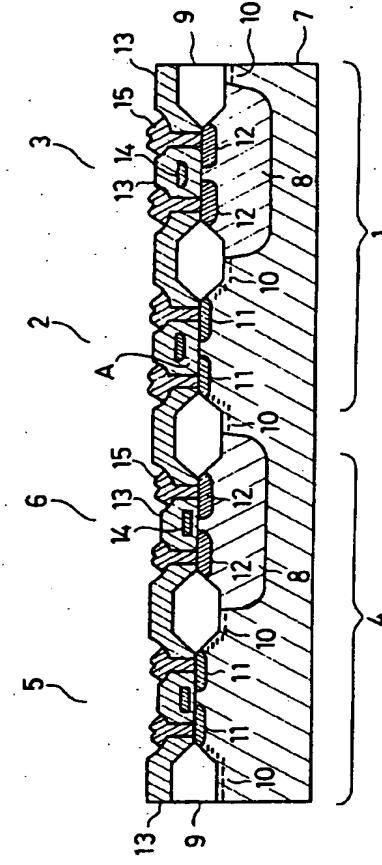


圖 2



第3図



第4図